

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-186291
(43)Date of publication of application : 09.07.1999

(51)Int.Cl. H01L 21/338
H01L 29/812

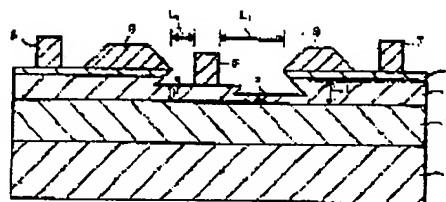
(21)Application number : 09-355845 (71)Applicant : KYOCERA CORP
(22)Date of filing : 24.12.1997 (72)Inventor : WATANUKI KEN

(54) FIELD-EFFECT TRANSISTOR

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a field-effect transistor which solves troubles that the gate deteriorates in breakdown voltage when the source is lessened in resistance, the source is decreased in resistance and the transistor deteriorates in mutual conductance (gm) when the gate is increased in breakdown voltage.

SOLUTION: A buffer layer 2, an active layer 3, and an ohmic contact layer 4 are successively laminated on a semiconductor substrate, a gate electrode 5 is provided on the active layer 3 and connected to it, and a source electrode 6 and a drain electrode 7 are provided onto the ohmic contact layer 4 as connected to it for the formation of a field-effect transistor, wherein an insulating film 8 is provided between the gate electrode 5 and the source electrode 6 and between the gate electrode 5 and the drain electrode 7 on the ohmic contact layer 4 respectively, and provided that a distance between the edge of the gate electrode 5 and the insulating film 8 on the drain electrode side is represented by L1, a distance between the edge of the gate electrode 5 and the insulating film 8 on the source electrode side is represented by L2, L1 and L2 are so set as to satisfy a formula, $L1 > L2$, a part of the active layer 3 located between the gate electrode 5 and the drain electrode 7 is completely or partly set thinner than the part of the active layer 3 between the gate electrode 5 and the source electrode 6 and smaller than the thickness a of the active layer 3 located under the gate electrode 5.



LEGAL STATUS

[Date of request for examination] 25.09.2001
[Date of sending the examiner's decision of rejection] 18.03.2003
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-186291

(43) 公開日 平成11年(1999) 7月9日

(51) Int.Cl.⁶

H01L 21/338
29/812

識別記号

F I

H01L 29/80

Q
F

審査請求 未請求 請求項の数 3 O L (全 5 頁)

(21) 出願番号 特願平9-355845

(22) 出願日 平成9年(1997)12月24日

(71) 出願人 000006633

京セラ株式会社

京都府京都市伏見区竹田島羽殿町6番地

(72) 発明者 綿貫 憲

京都府相楽郡精華町光台3丁目5番地 京

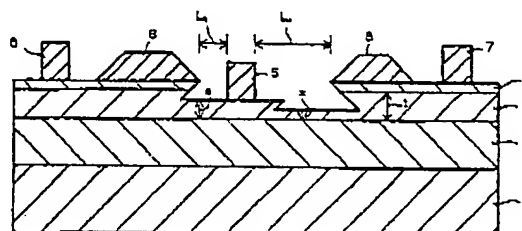
セラ株式会社中央研究所内

(54) 【発明の名称】 電界効果トランジスタ

(57) 【要約】 (修正有)

【課題】 ソース抵抗を下げればゲート耐圧が劣化し、ゲート耐圧を大きくすればソース抵抗が増大し、相互コンダクタンス (g_m) の劣化の原因になるという問題点を解消した電界効果トランジスタを提供すること。

【解決手段】 半導体基板上に、バッファ層2、活性層3、およびオーミックコンタクト層4を順次積層し、活性層上にゲート電極5を接続して設けると共に、オーミック接触層上に、ソース電極6とドレイン電極7を接続して設けた電界効果トランジスタにおいて、ゲート電極とソース電極間、およびゲート電極とドレイン電極間のオーミック接触層4上に絶縁膜8を設け、ドレイン電極側のゲート電極と絶縁膜との距離 L_1 をソース電極側のゲート電極と絶縁膜との距離 L_2 よりも長くし、ゲート電極とドレイン電極間の活性層の一部か全部を、ゲート電極とソース電極との間の活性層、並びにゲート電極直下の活性層の厚さ a よりも薄く形成する。



【特許請求の範囲】

【請求項 1】 半導体基板上に、バッファ層、活性層、およびオーミックコンタクト層を順次積層して設け、前記活性層上にゲート電極を接続して設けると共に、前記オーミックコンタクト層上に、ソース電極とドレイン電極を接続して設けた電界効果トランジスタにおいて、前記ゲート電極とソース電極との間、および前記ゲート電極とドレイン電極との間の前記オーミックコンタクト層上に絶縁膜を設け、前記ドレイン電極側の前記ゲート電極と前記絶縁膜との距離が前記ソース電極側の前記ゲート電極と前記絶縁膜との距離よりも長いことを特徴とする電界効果トランジスタ。

【請求項 2】 前記ドレイン電極側の前記ゲート電極と前記絶縁膜との距離が $1\mu\text{m}$ 以上で、前記ソース電極側の前記ゲート電極と前記絶縁膜との距離が $1\mu\text{m}$ 以下であることを特徴とする請求項 1 に記載の電界効果トランジスタ。

【請求項 3】 半導体基板上に、バッファ層、活性層、およびオーミックコンタクト層を順次積層して設け、前記活性層上にゲート電極を接続して設けると共に、前記オーミックコンタクト層上に、ソース電極とドレイン電極を接続して設けた電界効果トランジスタにおいて、前記ゲート電極とドレイン電極との間の活性層の一部もしくは全部を、前記ゲート電極とソース電極との間の活性層、並びに前記ゲート電極直下の活性層よりも薄く形成したことを特徴とする電界効果トランジスタ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は電界効果トランジスタに関し、特にチャネルが化合物半導体で形成された電界効果トランジスタに関する。

【0002】

【従来の技術および発明が解決しようとする課題】 図 3 は、従来の電界効果トランジスタ (MESFET) の断面構造を示す図である。図 3 において、11 は半絶縁性 GaAs や高抵抗 Si などから成る基板、12 はバッファ層、13 は n-GaAs 活性層、14 は n^+ -GaAs 層、15 はゲート電極、16 はソース電極、17 はドレイン電極である。このような GaAs FET は、ソース抵抗が大きいと相互コンダクタンス (g_m) が小さくなり、高周波特性が悪化することから、ソース抵抗をできるだけ小さくする必要がある。なお、ソース抵抗とは、ゲート電極 15 とソース電極 16 間の抵抗であり、また、相互コンダクタンスとは、入力電圧を変化させたときの出力電流の変化量であり、GaAs FET ではゲート電圧 V_{GS} の変化に対するドレイン電流 I_D の変化量を表す ($g_m = dI_D / dV_{GS}$)。

【0003】 従来は、相互コンダクタンスの低下を防止するために、図 3 に示すように、ゲート電極 15 の直下の活性層 13 とオーミックコンタクト層 14 をエッチン

グ (リセスエッチング) で除去し、ゲート電極 15 とソース電極 16 との間の活性層 13 の厚みや、ゲート電極 15 とソース電極 16 との間の n^+ -GaAs 層 14 の膜厚を大きく保っておく方法が用いられていた。

【0004】 しかしながら、このようにゲート電極 15 とソース電極 16 との間の活性層 13 やゲート電極 15 とソース電極 16 との間の n^+ -GaAs 層 14 の膜厚を大きくすると、ゲート電極 15 とドレイン電極 17 側の n^+ -GaAs 層 14 との距離を確保することができないため、ゲート耐圧 V_{br} の劣化が起こることがしばしばあった。なお、ゲート耐圧 V_{br} とは、ゲート・ドレイン間に逆方向ゲートバイアスをかけた時にある一定の電流が流れはじめる際のゲート電圧の絶対値であり、通常、ゲート幅の値に応じてリーク電流の値を決め、その電流が流れたときのゲート電圧をもって、 $-V_{br}$ と定義される。 V_{br} はドレイン電流の降伏 (破壊) 特性を示すものである。

【0005】 そこで、図 4 に示すように、酸化シリコンなどから成る絶縁膜 18 を用いる手法が用いられている。すなわち、半絶縁性 GaAs や高抵抗 Si などから成る基板 11 上に、GaAs などから成るバッファ層 12、n-GaAs などから成る活性層 13、および n^+ -GaAs 層などから成るオーミックコンタクト層 14 を順次積層して設けると共に、この活性層 13 上にゲート電極 15 を設け、オーミックコンタクト層 14 上にソース電極 16 とドレイン電極 17 を設け、さらにゲート電極 15 とソース電極 16 との間のオーミックコンタクト層 14 上、およびゲート電極 15 とドレイン電極 17 との間のオーミックコンタクト層 14 上に酸化シリコンなどから成る絶縁膜 18 を設けたものである。

【0006】 このように構成して、ドレイン電極 17 側のゲート電極 15 と n^+ -GaAs 層 14 との距離を確保でき、ゲート耐圧の劣化を防ぐようにしている。つまり、ゲート・ドレイン間に逆方向にゲートバイアスをかけると、ゲート直下の GaAs 活性層 13 に生じる空乏層がドレイン電極 17 側へ最大限に広がる。この空乏層から発する電気力線のほとんどがゲート電極 15 に終端するため、ゲートのドレイン端に電気力線が集中し、この部分の電界が大きくなり、やがては降伏に達する。電気力線の本数は、空乏層中の電子密度に比例するため、ゲート直下のドレイン端から n^+ 層との距離 (空乏層の広がる部分) が確保できれば、ゲート耐圧の劣化が防止できる。

【0007】 ところが、ドレイン電極 17 側のゲート電極 15 と n^+ -GaAs 層 14 との距離を長くすると、ゲート電極 15 とソース電極 16 との距離も必然的に長くなり、ソース抵抗が大きくなるという問題が発生する。

【0008】 このように、従来の電界効果トランジスタ (MESFET) では、ソース抵抗を下げようとする

ば、ゲート耐圧が劣化し、ゲート耐圧を大きくしようとすれば、ソース抵抗が増大して、相互コンダクタンス (g_m) が低下するという問題があった。

【0009】本発明は、このような従来技術の問題点に鑑みてなされたものであり、ソース抵抗を下げようとするば、ゲート耐圧が劣化し、ゲート耐圧を大きくしようとすれば、ソース抵抗が増大するという従来技術の問題点を解消した電界効果トランジスタを提供することを目的とする。

【0010】

【課題を解決するための手段】上記目的を達成するために、請求項1に係る電界効果トランジスタでは、半導体基板上に、バッファ層、活性層、およびオーミックコンタクト層を順次積層して設け、前記活性層上にゲート電極を接続して設けると共に、前記オーミックコンタクト層上に、ソース電極とドレイン電極を接続して設けた電界効果トランジスタにおいて、前記ゲート電極とソース電極との間、および前記ゲート電極とドレイン電極との間の前記オーミックコンタクト層上に絶縁膜を設け、前記ドレイン電極側の前記ゲート電極と前記絶縁膜との距離が、前記ソース電極側の前記ゲート電極と前記絶縁膜との距離よりも長いことを特徴とする。

【0011】また、請求項3に係る電界効果トランジスタでは、半導体基板上に、バッファ層、活性層、およびオーミックコンタクト層を順次積層して設け、前記活性層上にゲート電極を接続して設けると共に、前記オーミックコンタクト層上に、ソース電極とドレイン電極を接続して設けた電界効果トランジスタにおいて、前記ゲート電極とドレイン電極との間の活性層の一部もしくは全部を、前記ゲート電極とソース電極との間の活性層、並びに前記ゲート電極直下の活性層よりも薄く形成した。

【0012】

【作用】請求項1に係る電界効果トランジスタでは、ゲート電極とソース電極との間、およびゲート電極とドレイン電極との間のオーミックコンタクト層上に絶縁膜を設け、このゲート電極とドレイン電極側の絶縁膜との距離がゲート電極とソース電極側の絶縁膜との距離よりも長いことから、ソース抵抗を小さく維持しつつ、ゲート耐圧を大きくできる。

【0013】また、請求項3に係る電界効果トランジスタでは、ゲート電極とドレイン電極との間の活性層の一部もしくは全部を、前記ゲート電極とソース電極との間の活性層、並びに前記ゲート電極直下の活性層よりも薄く形成したことから、ソース抵抗を小さく維持しつつ、ゲート耐圧を大きくできる。

【0014】

【発明の実施の形態】以下、本発明の実施形態を添付図面に基づいて詳細に説明する。図1は、請求項1および請求項3に係る電界効果トランジスタの一実施形態を示す断面図であり、1は基板、2はバッファ層、3は活性

層、4はオーミックコンタクト層、5はゲート電極、6はソース電極、7はドレイン電極、8は絶縁膜である。

【0015】基板1は、比抵抗が $1 \times 10^7 \sim 10^8 \Omega \cdot \text{cm}$ 程度の半絶縁性 GaAs や、比抵抗が $1 \times 10^2 \sim 10^3 \Omega \cdot \text{cm}$ 程度の高抵抗 Si などから成る。

【0016】この基板1上には、この基板1上に形成される半導体層中の転位密度を低減させると共に、半導体層表面の平滑性を確保するために、バッファ層2が形成される。このバッファ層2は、GaAs、AlGaAs、InGaAs、GaP、GaAsP、或いはこれらの交互層などから成り、厚み0.1~3 μm 程度に形成される。

【0017】このバッファ層2上には、活性層3が形成される。この活性層3は、シリコンなどの半導体不純物を $1 \sim 3 \times 10^{17} \text{ atoms} \cdot \text{cm}^{-3}$ 程度含有し、0.1~0.2 μm 程度の厚みに形成される。この活性層3は、電界効果トランジスタのチャネル層として機能する。

【0018】この活性層3上には、オーミックコンタクト層4が形成されている。このオーミックコンタクト層4は、シリコンなどの半導体不純物を $1 \times 10^{18} \sim 10^{19} \text{ atoms} \cdot \text{cm}^{-3}$ 程度含有し、厚み0.1 μm 程度に形成される。

【0019】ゲート電極5とソース電極6との間、およびゲート電極5とドレイン電極7との間のオーミックコンタクト層4上に絶縁膜8を設け、このドレイン電極7側のゲート電極5と絶縁膜8との距離 L_1 が、ソース電極6側のゲート電極5と絶縁膜8との距離 L_2 よりも長く形成されている。

【0020】図4に示すような構造を有する電界効果トランジスタにおいて、ゲート電極5と絶縁膜8との距離が0.4 μm のときは、ゲート耐圧 V_{br} は15V程度であり、相互コンダクタンス g_m は $\sim 100 \text{ mS/mm}$ であるが、ゲート電極5と絶縁膜8との距離が1 μm のときは、ゲート耐圧 V_{br} は30V程度となり、相互コンダクタンス g_m は $\sim 70 \text{ mS/mm}$ になる。したがって、ソース電極6側のゲート電極5と絶縁膜8との距離を0.4 μm に設定して、ドレイン電極7側のゲート電極5と絶縁膜8との距離を1 μm に設定すると、それぞれの距離における相互コンダクタンス g_m とゲート耐圧 V_{br} が得られる。

【0021】ソース電極6とドレイン電極7との間に電圧をかけると、ドレイン電極7側に拡がった空乏層から発する電気力線のほとんどが、ゲートのドレイン側に終結するため、キャリア密度の大きな層からの距離が小さいと破壊しやすくなる。

【0022】また、ゲート耐圧 V_{br} は、

$$V_{br} = (qNL^2 / 2\epsilon L_{eff} t) \times 2 - qNL / \epsilon \\ ((L / 2 L_{eff}) - (a / t) + (\epsilon E / qNt)) \\ \times constant$$

で表される。なお、ここで、 ϵ はGaAsの誘電率、 N は活性層のキャリア密度、 E は降伏時の電界であり、 L_{eff} は有効ゲート長である。 E は、通常、 $10^5 \sim 10^6$ V/cmであるから、容易にわかるように活性層3の膜厚 x が薄ければゲート耐圧 V_{br} は大きくなる。

【0023】次に、上記のような電界効果トランジスタの形成方法を図2に基づいて説明する。図2(a)に示すように、基板1上にMBE法やMOCVD法によって、高抵抗バッファ層2、活性層3、およびオーミックコンタクト層4を順次積層して形成する。さらに、CVD法やスパッタリング法で、 SiO_2 などから成る絶縁膜8を約0.3 μm 程度の厚みに形成する。

【0024】次に、ゲート電極5を形成するための開口パターンを有するフォトリソレジスト膜9を形成して、このフォトリソレジスト膜9をマスクとしてバッファ層2をエッチングにより、絶縁膜8をエッチングして開口部Hを拡大した後、その絶縁膜8をマスクとして酸系のエッチャントを用いてオーミックコンタクト層4の厚み方向の全部と活性層3の一部をエッチングしてリセス領域を形成する。

【0025】次に、ゲート部に高融点金属であるTi/AIなどから成るゲート電極5を図2(b)のように蒸着してリフトオフする。

【0026】さらに、ゲート電極5とソース電極6間の活性層3、およびゲート電極5全体をエッチング用マスクでカバーして、図2(c)のように、ゲート電極3とドレイン電極7側の活性層3、オーミックコンタクト層4、および絶縁膜8を幅方向にエッチングすると共に、活性層3の厚み方向の一部をエッチングする。このように形成すると、ドレイン電極7側のゲート電極5と絶縁膜8との距離がソース電極6側のゲート電極5と絶縁膜8との距離よりも長く設定したり、ゲート電極5とソース電極6との間の活性層3を、ゲート電極5とソース電極6との間の活性層3よりも厚く形成できる。

【0027】次に、オーミックコンタクト層4上にソース電極6とドレイン電極7を形成するための開口パターンを図2(d)のように形成し、絶縁膜8をバッファ層2でエッチングした後、オーミックコンタクト層4上にAuGe/Au又はAuGe/Ni/Auから成るソース電極6とドレイン電極7となる金属膜を蒸着してリフトオフによりパターンニングし、熱処理して合金化することにより、図1に示すような構造の電界効果トランジスタが完成する。

【0028】

【発明の効果】以上のように、請求項1に係る電界効果トランジスタによれば、ゲート電極とソース電極との間、およびゲート電極とドレイン電極との間のオーミックコンタクト層上に絶縁膜を設け、ドレイン電極側のゲート電極と絶縁膜との距離がソース電極側のゲート電極と絶縁膜との距離よりも長くなるように設定したことから、従来例と比較して、ゲート電極とドレイン電極側の n^+ -GaAs層との距離を確保することができ、ゲート耐圧が約2倍となった。また、ゲート耐圧の低下を誘発することなく、ソース抵抗を小さくできるため、高周波帯での相互コンダクタンス g_m を大きくでき、かつ電流利得遮断周波数 f_T を高くできる。また、ゲート耐圧 V_{br} を大きくできるため、ドレイン電圧のスイング幅を大きくとることができ、最大出力を大きくできる。したがって、高出力用の電界効果トランジスタ(MESFET)の高出力化、高効率化が可能となる。

【0029】また、請求項3に係る電界効果トランジスタによれば、ゲート電極とドレイン電極との間の活性層の一部もしくは全部を、前記ゲート電極とソース電極との間の活性層、並びに前記ゲート電極直下の活性層よりも薄く形成したことから、従来のマスク位置あわせ技術のみでゲート耐圧 V_{br} を大きくできるため、ドレイン電圧のスイング幅を大きくとることができ、最大出力を大きくできる。また、ゲート耐圧の低下を誘発することなくソース抵抗を小さくできるため、相互コンダクタンス g_m を大きくでき、かつ、電流利得遮断周波数 f_T を高くできる。したがって、高出力用の電界効果トランジスタ(MESFET)の高出力化、高効率化が可能となる。

【図面の簡単な説明】

【図1】本発明に係る電界効果トランジスタを示す断面図である。

【図2】本発明に係る電界効果トランジスタの製造方法を示す工程図である。

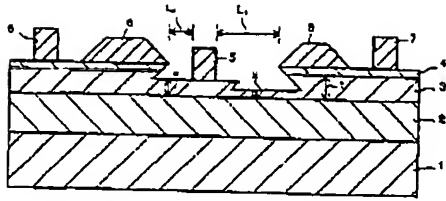
【図3】従来の電界効果トランジスタを示す断面図である。

【図4】従来の他の電界効果トランジスタを示す断面図である。

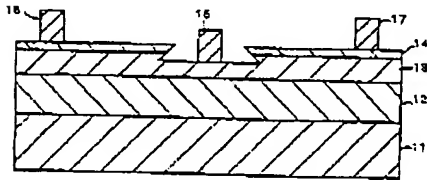
【符号の説明】

1……基板、2……バッファ層、3……活性層、4……オーミックコンタクト層、5……ゲート電極、6……ソース電極、7……ドレイン電極、8……絶縁膜

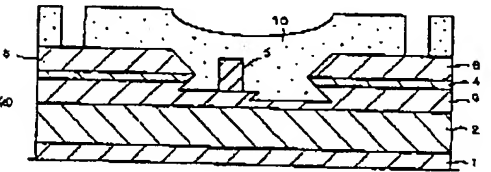
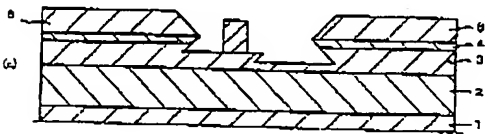
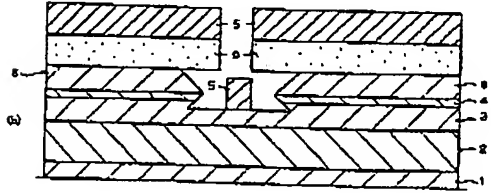
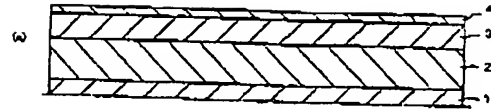
【図 1】



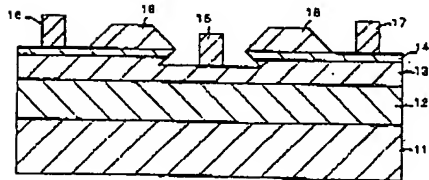
【図 3】



【図 2】



【図 4】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.